

日 本 国 特 許 庁
JAPAN PATENT OFFICE

05.10.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 0 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 2 9 4 9 3 4
Application Number:

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 2 9 4 9 3 4

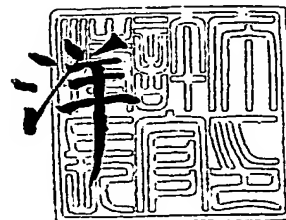
出 願 人 昭和電工株式会社
Applicant(s):

BEST AVAILABLE COPY

2 0 0 5 年 9 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 5 - 3 0 7 4 3 3 3

【書類名】 特許願
【整理番号】 1044538
【提出日】 平成16年10月 7日
【あて先】 特許庁長官 小川 洋 殿
【国際特許分類】 H01L 33/00
【発明者】
 【住所又は居所】 千葉県市原市八幡海岸通 5 - 1 昭和電工株式会社 研究開発センター内
 【氏名】 葉師寺 健次
【発明者】
 【住所又は居所】 千葉県市原市八幡海岸通 5 - 1 昭和電工エイチ・ディー株式会社 社内
 【氏名】 楠木 克輝
【発明者】
 【住所又は居所】 千葉県市原市八幡海岸通 5 - 1 昭和電工株式会社 研究開発センター内
 【氏名】 三木 久幸
【特許出願人】
 【識別番号】 000002004
 【氏名又は名称】 昭和電工株式会社
【代理人】
 【識別番号】 100099759
 【弁理士】
 【氏名又は名称】 青木 篤
 【電話番号】 03-5470-1900
【選任した代理人】
 【識別番号】 100077517
 【弁理士】
 【氏名又は名称】 石田 敬
【選任した代理人】
 【識別番号】 100087413
 【弁理士】
 【氏名又は名称】 古賀 哲次
【選任した代理人】
 【識別番号】 100102990
 【弁理士】
 【氏名又は名称】 小林 良博
【選任した代理人】
 【識別番号】 100082898
 【弁理士】
 【氏名又は名称】 西山 雅也
【手数料の表示】
 【予納台帳番号】 209382
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0200971

【書類名】 特許請求の範囲**【請求項 1】**

チップ形状が五角形以上の多角形である I I I 族窒化物半導体素子の製造方法において、基板上に I I I 族窒化物半導体をエピタキシャル成長させて半導体ウェーハを形成する第一の工程と、該半導体ウェーハにレーザー光を照射して割溝を形成する第二の工程と、基板のエピタキシャル成長させた主面とは異なる主面側を研削および／または研磨する第三の工程と、該割溝に応力を加えることにより個々のチップに分離する第四の工程とを有することを特徴とする I I I 族窒化物半導体素子の製造方法。

【請求項 2】

第一の工程、第二の工程、第三の工程および第四の工程をこの順序で有する請求項 1 に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 3】

割溝形成位置に対応して少なくとも n 型層が露出する溝部を形成する第五の工程をさらに有する請求項 1 または 2 に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 4】

第五の工程が第二の工程以前にある請求項 3 に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 5】

第五の工程が第二の工程以降にある請求項 3 に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 6】

第二の工程が半導体ウェーハの半導体側からレーザー光を照射する請求項 1～5 のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 7】

割溝の少なくとも一部が基板に到達している請求項 1～6 のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 8】

第二の工程が半導体ウェーハの基板側からレーザー光を照射する請求項 1～7 のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 9】

第二の工程が半導体ウェーハの半導体側からレーザー光を照射する工程と半導体ウェーハの基板側からレーザー光を照射する工程とからなる請求項 8 に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 10】

割溝の断面形状が V 字型である請求項 1～9 のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 11】

第三の工程で半導体ウェーハの厚さを $150\mu\text{m}$ 以下に研削および／または研磨する請求項 1～10 のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 12】

第四の工程が球形金型に基板を押し付けることによって行なわれる請求項 1～11 のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 13】

チップ形状が実質的に正六角形である請求項 1～12 のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 14】

第二の工程が、屈曲した折れ線状の割溝を設け、その折れ線状の割溝が平行移動した形で複数の屈曲した折れ線状の割溝を設け、次いで隣合った該折れ線状の割溝の屈曲点を一つおきにつなぐ直線状の割溝を設けることからなる請求項 13 に記載の I I I 族窒化物半導体素子の製造方法。

【請求項 15】

チップ形状が実質的に五角形である請求項 1～12 のいずれか一項に記載の III 族窒化物半導体素子の製造方法。

【請求項 16】

第二の工程が、屈曲した折れ線状の割溝を設け、その折れ線状の割溝が平行移動した形で複数の屈曲した折れ線状の割溝を設け、次いで隣合った該折れ線状の割溝の屈曲点を一つおきにつなぐ直線状の割溝を設けることにより六角形上の割溝とし、さらに該六角形状の割溝の相対する二辺間をつなぐ直線状の割溝を設けることからなる請求項 15 に記載の III 族窒化物半導体素子の製造方法。

【請求項 17】

チップ形状が実質的に円形である請求項 1～12 のいずれか一項に記載の III 族窒化物半導体素子の製造方法。

【請求項 18】

III 族窒化物半導体素子が発光素子である請求項 1～17 のいずれか一項に記載の III 族窒化物半導体素子の製造方法。

【請求項 19】

第一の工程が、基板上に III 族窒化物半導体からなる、n 型層、発光層、および p 型層をこの順序でエピタキシャル成長させて半導体ウェーハを形成する請求項 18 に記載の III 族窒化物半導体素子の製造方法。

【請求項 20】

請求項 18 または 19 に記載の製造方法によって製造された III 族窒化物半導体発光素子。

【請求項 21】

請求項 20 に記載の発光素子を用いてなるランプ。

【請求項 22】

発光素子を形成する半導体チップの中央より端部により多くの光エネルギー変換材料が配置された請求項 21 に記載のランプ。

【書類名】 明細書

【発明の名称】 半導体素子の製造方法

【技術分野】

【0001】

本発明は、半導体素子の製造方法に関する。さらに詳しくは五角形以上のチップ（以下、「多角形チップ」という）形状を有する半導体チップの製造方法に関する。

【背景技術】

【0002】

サファイアなどの絶縁性基板に n 型層と活性層と p 型層を積層した III 族窒化物半導体ウェーハをチップ状に切断して半導体素子を製造する際の工程は、例えば特許文献 1 に開示されているように、エッチングにより n 型層を露出させてチップ形状の割溝を形成する工程と、基板を研磨して薄くする工程と、割溝にダイシングソーのダイヤモンドブレードを入れて基板を露出する工程と、さらにスクライバーのダイヤモンド刃でダイシングの跡にスクライプラインを入れる工程と、基板を押し割ることによりチップを得る工程からなっている。

【0003】

また特許文献 2 には、エッチングにより n 型層を露出させてチップ形状の割溝を形成する工程と、基板を研磨して薄くする工程と、割溝にダイシングソーのダイヤモンドブレードを入れて基板を露出する工程と、さらに基板裏面側からダイシング線に対応する位置でスクライバーを使用してスクライプラインを入れる工程と、基板を押し割ることによりチップを得る工程からなる切断分離工程が開示されている。

【0004】

サファイア基板や III 族窒化物半導体層が硬くて GaAs や GaP のように劈開によるチップ分離が困難なため、割れやすくするためにチップ分離前に基板を薄くすることが必要であることと、割るための応力集中部の設置あるいは局所的により薄い場所を形成して所望の位置で割れるようにするためのダイシングあるいはスクライビング加工が必要であることを示している。ダイシングソーのダイヤモンドブレードは通常円盤状の形をしているので直線加工専用であり折れ線加工や曲線加工は出来ない。ダイヤモンド刃を用いたダイシング法で III 族窒化物半導体層あるいはサファイアなどの基板に罫書き線を入れる方法も被加工物の硬度が加工物の硬度に匹敵するほど硬いので実質的に直線加工法であり、折れ線状あるいは曲線状に罫書き線を精度よく入れるのは困難である。そのため従来の III 族窒化物半導体素子のチップ形状は四角形であった。

【0005】

一方、III 族窒化物半導体発光素子において、活性層から発光した光は、III 族窒化物半導体発光素子から外部に出ようとするが屈折率の関係でチップ表面から外部に出られずに反射して、III 族窒化物半導体あるいはサファイア等の基板あるいは電極金属などに吸収されて熱に変わるものがある。チップ外部に出る光の割合を光取り出し効率と呼んでいる。チップ端部における光の取り出し効率はチップ形状が四角形よりも多角形の方が大きく、チップ形状が円形のときに最大になる。これは、例えばチップ中央から端面に垂直入射出来る条件が、四角形では 4 条件であり、六角形では 6 条件になり、円形では 360 度のすべての条件で垂直入射することから理解できる。従って、四角形チップよりも六角形チップの方がチップ端面での光取り出し効率を改善できる。

【0006】

従来の加工技術を用いた六角形チップ製造方法は、特許文献 3 に開示されている。同文献中の図 4 のように直線の加工線により三角形と六角形が隣接するように割溝を入れてチップ分離する方法である。すなわち六角形チップを得るために三角形の部分の切り捨てる方法になっている。六角形をした III 族窒化物半導体発光素子の電極配置は、特許文献 4 に開示されている。しかし、特許文献 4 には六角形チップ製造法については何も書かれていない。

【0007】

近年、レーザー光を用いてチップ切断用の割溝を形成する装置が開発され、例えば特許文献5に開示されている。レーザー光は、従来用いられてきたダイシングソーやスクライバーの単なる代替手段として使用可能であるばかりでなく、従来法では出来なかった加工方法を実現できる未知の可能性を秘めた加工技術である。レーザー光のビーム直径や焦点位置、さらにはレーザー出力や照射時間など制御することにより、形成する割溝の幅や深さなどを変える事が出来る。例えば、その一つとして、特許文献6にレーザー光照射面とは反対側の面に割溝を形成する技術が開示されている。

【0008】

多角形チップは従来の四角形チップよりも辺の数が多い分だけ、例えば発光素子ではチップ端面における光取り出し効率が改善される。従来の六角形チップ製造方法は、上述したように、ダイシングソーあるいはスクライビング法にて直線状に加工線を入れて三角形と六角形のチップを得るものであった。この方法では三角形の面積の分がロスとなり面積効率が悪い。多角形チップは、このように発光素子では高輝度化が期待できるが、従来の多角形チップの加工法では加工ロスが多く面積効率が悪いことが課題であった。

【0009】

レーザー加工法は、窒化ガリウム系のIII族窒化物半導体のエピ面側あるいはサファイア基板側からビーム系を μm オーダーに絞ったレーザー光を照射した部分の窒化ガリウム系のIII族窒化物半導体あるいはサファイアを昇華除去する方法で、加工による溝幅がダイシング法より狭くより短時間により深い割溝を形成できる。しかし、加工を行なう基板に反りがあるとレーザー光の焦点位置が相対的に変動して、割溝の幅や深さが変動する。基板の反りを予め測定しておいて、焦点位置を反りに合わせて制御する方法も考えられるが、レーザー加工が進むにしたがって反り形状も変化することが多く、基板全面に対して μm オーダーの割溝を形成するような加工精度は得られない。従って、レーザー加工を精度良く行なうには加工するサファイア基板の反りを少なくする必要がある。

【0010】

【特許文献1】特開平05-343742

【特許文献2】特開平11-354841

【特許文献3】特開平09-082587

【特許文献4】特開2000-164930

【特許文献5】USP6,413,839

【特許文献6】特開平11-163403

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明の目的は、チップ形状が五角形以上の多角形のIII族窒化物半導体素子を製造する際の上述の問題を解決し、多角形のIII族窒化物半導体素子を面積効率よく、低コストで製造する方法を提供することである。

【課題を解決するための手段】

【0012】

本発明者等は上記課題を解決すべく鋭意努力した結果本発明に達した。すなわち本発明は下記の発明を提供する。

【0013】

(1) チップ形状が五角形以上の多角形であるIII族窒化物半導体素子の製造方法において、基板上にIII族窒化物半導体をエピタキシャル成長させて半導体ウェーハを形成する第一の工程と、該半導体ウェーハにレーザー光を照射して割溝を形成する第二の工程と、基板のエピタキシャル成長させた主面とは異なる主面側を研削および／または研磨する第三の工程と、該割溝に応力を加えることにより個々のチップに分離する第四の工程とを有することを特徴とするIII族窒化物半導体素子の製造方法。

【0014】

(2) 第一の工程、第二の工程、第三の工程および第四の工程をこの順序で有する上記(

1) に記載の I I I 族窒化物半導体素子の製造方法。

【0015】

(3) 割溝形成位置に対応して少なくとも n 型層が露出する溝部を形成する第五の工程をさらに有する上記 (1) または (2) に記載の I I I 族窒化物半導体素子の製造方法。

【0016】

(4) 第五の工程が第二の工程以前にある上記 (3) に記載の I I I 族窒化物半導体素子の製造方法。

【0017】

(5) 第五の工程が第二の工程以降にある上記 (3) に記載の I I I 族窒化物半導体素子の製造方法。

【0018】

(6) 第二の工程が半導体ウェーハの半導体側からレーザー光を照射する上記 (1) ~ (5) のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【0019】

(7) 割溝の少なくとも一部が基板に到達している上記 (1) ~ (6) のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【0020】

(8) 第二の工程が半導体ウェーハの基板側からレーザー光を照射する上記 (1) ~ (7) のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【0021】

(9) 第二の工程が半導体ウェーハの半導体側からレーザー光を照射する工程と半導体ウェーハの基板側からレーザー光を照射する工程とからなる上記 (8) に記載の I I I 族窒化物半導体素子の製造方法。

【0022】

(10) 割溝の断面形状が V 字型である上記 (1) ~ (9) のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【0023】

(11) 第三の工程で半導体ウェーハの厚さを $150\mu\text{m}$ 以下に研削および／または研磨する上記 (1) ~ (10) のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

。

【0024】

(12) 第四の工程が球形金型に基板を押し付けることによって行なわれる上記 (1) ~ (11) のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【0025】

(13) チップ形状が実質的に正六角形である上記 (1) ~ (12) のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【0026】

(14) 第二の工程が、屈曲した折れ線状の割溝を設け、その折れ線状の割溝が平行移動した形で複数の屈曲した折れ線状の割溝を設け、次いで隣合った該折れ線状の割溝の屈曲点を一つおきにつなぐ直線状の割溝を設けることからなる上記 (13) に記載の I I I 族窒化物半導体素子の製造方法。

【0027】

(15) チップ形状が実質的に五角形である上記 (1) ~ (12) のいずれか一項に記載の I I I 族窒化物半導体素子の製造方法。

【0028】

(16) 第二の工程が、屈曲した折れ線状の割溝を設け、その折れ線状の割溝が平行移動した形で複数の屈曲した折れ線状の割溝を設け、次いで隣合った該折れ線状の割溝の屈曲点を一つおきにつなぐ直線状の割溝を設けることにより六角形上の割溝とし、さらに該六角形状の割溝の相対する二辺間をつなぐ直線状の割溝を設けることからなる上記 (15) に記載の I I I 族窒化物半導体素子の製造方法。

【0029】

(17) チップ形状が実質的に円形である上記(1)～(12)のいずれか一項に記載のⅢ族窒化物半導体素子の製造方法。

(18) Ⅲ族窒化物半導体素子が発光素子である上記(1)～(17)のいずれか一項に記載のⅢ族窒化物半導体素子の製造方法。

【0030】

(19) 第一の工程が、基板上にⅢ族窒化物半導体からなる、n型層、発光層、およびp型層をこの順序でエピタキシャル成長させて半導体ウェーハを形成する上記(18)に記載のⅢ族窒化物半導体素子の製造方法。

(20) 上記(18)または(19)に記載の製造方法によって製造されたⅢ族窒化物半導体発光素子。

【0031】

(21) 上記(20)に記載の発光素子を用いてなるランプ。

(22) 発光素子を形成する半導体チップの中央より端部により多くの光エネルギー変換材料が配置された上記(21)に記載のランプ。

【発明の効果】

【0032】

本発明を用いることにより、チップ形状が五角形以上の多角形である半導体発光素子、特に、チップ端面における光取り出し効率に優れたⅢ族窒化物半導体発光素子を半導体ウェーハ全面にわたって面積効率よく低コストで得ることが可能になる。

【発明を実施するための最良の形態】

【0033】

以下、本発明を主に半導体発光素子を例に説明するが、本発明はこれに限定されるものではない。

本発明において、五角形以上の多角形とは、その角数に関しては5以上であれば何ら制限されず、例えば5～10角形の多角形を含み、究極の多角形である円形も本発明の五角形以上の多角形に含まれる。

【0034】

従来の四角形チップと比べてチップ端部における光取り出し効率がいい多角形チップのなかで、最も加工ロスが少ない形状は半導体ウェーハ表面あるいは基板表面にハニカム状のチップ分離用割溝を形成した六角形チップ形状である。また光取り出し効率が若干低下するが六角形チップを二分割するように割溝をさらに追加することによって得られる五角形チップも加工ロスが少ない。本発明により実施可能となる円形チップは、加工ロスは大きいがチップ端面における光取り出し効率は最大になる。

【0035】

本発明における第一の工程において、Ⅲ族窒化物半導体を成長させる基板としては、サファイア基板あるいはSiC基板を用いることが好ましい。基板としては、これらのほかにガラス基板、 $MgAl_2O_4$ やZnOやLiAlO₂やLiGaO₂やMgOなどの酸化物基板、シリコン基板、GaAs基板、GaN基板などなんら制限なく用いることが出来る。後述する実施例では劈開性が極めて弱いサファイア基板について記載するが、シリコン基板やGaAs基板など劈開性の強い基板を使用して多角形チップを作製するには、劈開性の弱い方向にも切断する必要があるので、そのような基板の切断にも本発明は有効である。

【0036】

例えば、基板上に通常バッファ層を介してn型層と発光層とp型層をMOCVD法等によってエピタキシャル成長させて半導体ウェーハとする。使用する基板やエピタキシャル層の成長条件によっては、バッファ層の不要な場合がある。

【0037】

n型層、発光層およびp型層を構成するⅢ族窒化物半導体としては、例えば一般式 $Al_xIn_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) で表わされるⅢ族

窒化物半導体が多数知られており、本発明においても、それら周知の化合物半導体を含めて一般式 $Al_x In_y Ga_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x + y \leq 1$) で表わされる III 族窒化物半導体を何ら制限なく用いることができる。

【0038】

これらの III 族窒化物半導体のエピタキシャル成長方法も特に限定されず、MOCVD (有機金属化学気相成長法)、HVPE (ハイドライド気相成長法)、MBE (分子線エピタキシー法)、など III 族窒化物半導体を成長させることが知られている全ての方法を適用できる。好ましい成長方法としては、膜厚制御性、量産性の観点から MOCVD 法である。MOCVD 法では、キャリアガスとして水素 (H_2) または窒素 (N_2)、III 族原料である Ga 源としてトリメチルガリウム (TMG) またはトリエチルガリウム (TEG)、Al 源としてトリメチルアルミニウム (TMA) またはトリエチルアルミニウム (TEA)、In 源としてトリメチルインジウム (TMI) またはトリエチルインジウム (TEI)、V 族原料である N 源としてアンモニア (NH_3)、ヒドラジン (N_2H_4) などが用いられる。また、ドーパントとしては、n 型には Si 原料としてモノシラン (SiH_4) またはジシラン (Si_2H_6) を、Ge 原料としてゲルマン (GeH_4) または有機ゲルマニウム化合物を用い、p 型には Mg 原料としては例えばビスシクロペンタジエニルマグネシウム (Cp_2Mg) またはビスエチルシクロペンタジエニルマグネシウム ($(EtCp)_2Mg$) を用いる。

【0039】

第一の工程で形成された半導体ウェーハには、通常引き続いて、n 型層および p 型層に n 電極および p 電極をそれぞれ形成する。しかし、この電極形成は第二の工程の終了後であってもよい。n 電極および p 電極は各種の組成および構造のものが多数知られており、本発明においてもこれら公知のものを含めて如何なる種類のものも使用できる。

【0040】

n 電極形成面を形成するためには、p 型層と発光層を例えばドライエッチング法により除去して n 型層を露出する。この時に、チップ分離する位置 (即ち、割溝を形成する位置) も n 型層を露出して後述の溝部をドライエッチング法により同時に形成してもよい。

【0041】

n 電極形成面は六角形チップの場合一つの隅部に形成することが好ましい。n 電極の大きさは従来の四角形チップと同じである。p 電極は透光性電極であっても反射電極であってもよい。すなわちフェイスアップ構造のチップでもフリップチップ構造のチップでもよい。透光性電極とする場合のボンディングパッドの位置は n 電極形成面と相対向する今ひとつの隅部に形成することが好ましい。n 電極形成面は複数の隅部に形成したり六角形の辺の部分に枝のように n 電極を伸ばして形成したり、あるいは辺に沿って形成してもよい。n 電極と p 型層あるいは p 電極間のショートを避けるためにシリコン酸化膜などの絶縁膜をチップ表面に形成してもよい。

【0042】

第一の工程で形成された半導体ウェーハは個々のチップに分離するための第二～第四の工程に回される。

【0043】

第二の工程では、半導体層の所定の位置 (個々のチップに分離する分離帯) にレーザー光を照射して、好ましくは基板に達する深さの割溝を形成する。しかし、割溝は必ずしも基板に達している必要はない。特に、後述するように基板背面 (半導体がエピタキシャル成長していない面) にも割溝が設けられている場合は、その必要性はない。

【0044】

割溝の幅は、上記分離帯に収まれば別に制限されない。後述の溝部を予め形成している場合は、溝部にレーザー光を照射して溝部よりも狭い幅であって好ましくは基板に達する深さの割溝を形成する。この割溝の深さは、研削後の基板の厚さにもよるが、通常 $20 \mu m \sim 50 \mu m$ 程度が望ましい。

【0045】

割溝の断面形状はどのような形状でもよいが、V字状であることが望ましい。V字状の割溝を形成すると割溝底部が応力集中しやすい形状になるのでチップ分離が容易になる。レーザー光で割溝を形成すると滑らかできれいなチップ分離面が得られる。これは、割溝底部からさらに基板内部にかけてレーザー光による熱影響部が形成され、この熱影響部がチップ分離をさらに容易にする方向に作用したものと考えられる。レーザー光による割溝形状を鋭いV字型にするほど熱影響部の及ぶ深さが深くなる。

【0046】

割溝は基板背面（半導体がエピタキシャル成長していない面）側からレーザー光を照射して基板背面に形成することもできる。基板の半導体側および背面側のどちらか一方に形成するだけでもよいが、両側に形成すると、チップ分離が容易になると共に割溝部からの光取り出し分が増えるため光取り出し効率がさらに改善する。基板背面側の割溝の形状はV字状がより好ましいが、U字状であってもよい。

【0047】

割溝の形状は例えばレーザー光の焦点位置を変えることによって制御でき、一般に焦点位置を離すと割溝の幅が広がってU字型に変わっていく。割溝形状を整えるためにレーザー光を多重照射してもよい。

【0048】

本発明で用いることが出来るレーザー加工装置は、半導体ウェーハを各チップに分離可能な割溝を形成できるものであって、半導体ウェーハを載置するステージがコンピュータ制御駆動になっていればどのようなタイプでもよい。具体的にはCO₂レーザー、YAGレーザー、エキシマレーザーなどを用いることが出来る。レーザー発振方式も連続発振あるいはパルス発振どちらでもよい。エピ層側から溝部にレーザー光を照射するときは、出来るだけビームを細く絞る必要があるのでファインビーム照射が可能な装置が好ましい。

。

【0049】

レーザーの波長は355nm、266nmなどを用いることができ、さらに短い波長でもよい。周波数は1~100000Hzが好ましく、30000~70000Hzがさらに好ましい。出力は割溝の幅および深さによって異なるが、所望の割溝を得るに必要な最小限の出力であることが好ましい。余分なレーザー出力は基板や化合物半導体に熱損傷を与えるので、前記最小限の出力は、通常2W以下が好ましく、1W以下がさらに好ましい。

。

【0050】

本発明は予めチップ分離する位置（分離帯）、即ち割溝を形成する位置にn型層を露出する溝部を形成するという第五の工程を有することができる。この溝部にレーザー加工により割溝を形成すると、レーザー加工が活性層とp型層にダメージを与えることを防止でき、予めチップ分離する位置に溝部を形成しない場合と比較して、さらに好ましい形態となる。また、逆に割溝を形成した後に溝部を形成することもできる。この場合はレーザー加工時に生じた割溝側面の汚れが除去されるという利点がある。

【0051】

溝部の形成には、ウェットエッチングおよびドライエッチングなどのエッチング法を用いることが好ましい。なぜならエッチングが化合物半導体の表面および側面を傷めにくいからである。ドライエッチングであれば、例えば、反応性イオンエッチング、イオンミリング、集束ビームエッチングおよびECREッチングなどの手法を用いることができ、ウェットエッチングであれば、例えば硫酸とリン酸の混酸を用いることができる。

【0052】

溝部は少なくともn型層が露出していることが好ましく、前述したようにn電極形成面の露出時に同時に形成することが、工程が簡略化されるので好ましい。溝部の断面形状は、矩形、U字状およびV字状等どのような形状でもよいが、底面に割溝を形成するには矩形が好ましい。

【0053】

多角形状、例えば正六角形状に割溝を入れる方法は、図1に示すように最初に例えば120度の角度で屈曲する屈曲点を有する各辺の長さが同一の折れ線(A1)を半導体ウェーハを横切るようにレーザー光で照射して折れ線状の割溝を形成する。続いて、折れ線(A1)を平行移動した形の折れ線(A2)になるように新たな割溝を形成し、平行移動を繰返して半導体ウェーハの全面に渡って折れ線状の割溝を形成する。続いて図2に示すように、折れ線の屈曲点を一つおきに選択して、平行移動した折れ線の隣接した屈曲点間を結ぶように直線状の割溝(B)を形成する。続いて、先に選択しなかった屈曲点から、先の平行移動した折れ線とは反対側に平行移動した折れ線の隣接した屈曲点間を結ぶ直線状の割溝(C)を形成する。これにより半導体ウェーハ上にハニカム状の六角形チップ形状を得る割溝を形成できる。さらに五角形チップを得るには、図3の直線(D)のように直線状の割溝をさらに形成すればよい。ハニカム状の六角形チップ形状を得る割溝の形成手順は前記記載の手順あるいは方法に限定されるものではないのは言うまでもないことである。

【0054】

このような複雑な溝形状を半導体ウェーハ全体に精度よく入れないと部分的に割溝深さや割溝幅が変動してチップ分離時の欠け不良や傷不良の発生原因になる。半導体ウェーハ全体に精度いい割溝を入れるには、半導体ウェーハの反りを少なくしてウェーハ表面に対するレーザー光の焦点位置をウェーハ全体にわたって出来るだけ一定に保つ必要がある。レーザー加工装置自体に自動焦点位置制御機能を組み込んだものもあって、それを利用する方法もある。しかし、レーザー加工が進むにしたがって反り形状も変化することが多く、基本的にはレーザーを照射する半導体ウェーハの反りを最小限にすることが重要である。反りのない半導体ウェーハにレーザー加工して割溝を形成すると、半導体ウェーハ全体に安定した幅と深さを有する割溝を形成できる。

【0055】

ところで、基板に薄膜をエピタキシャル成長した半導体ウェーハは、エピタキシャル成長していない基板よりも反りが大きくなることが多い。基板の厚さが厚いほどエピタキシャル膜成長後の反りが少ないが、厚過ぎるとコストアップの原因になる。従って、エピタキシャル成長中に反りの発生が少なく、安定したエピタキシャル膜を得るためには、通常、基板厚さは通常350 μ mから450 μ m程度であり、エピタキシャル膜厚が厚いなど反りの影響が大きく出る場合などは、さらに厚く600 μ m程度のサファイア基板を用いる場合もある。しかし、GaN基板のように上に積むエピタキシャル膜と同種の基板を用いる場合や、予め反りを入れ込んだ基板を使用するなど半導体ウェーハの反りを制御しているものについてはこの限りではない。

【0056】

本発明の第三の工程において、上記のような厚さの基板の背面側を研削および／または研磨することにより半導体ウェーハの厚さを約150 μ m以下とすることが好ましい。研削および／または研磨後の最終厚さが薄いほどチップ分離時にチップ端面が傷つく不良が低減するばかりでなく、特殊なチップ分離法でなくとも多角形チップを得ることが出来るようになる。反対に半導体ウェーハの最終厚さが薄くなりすぎると半導体ウェーハが反ってしまってチップ分離しにくくなったり、時に背面加工時に半導体ウェーハが破損してしまう割れ不良が発生しやすくなる。好ましい厚さとしては約120 μ m以下、さらに好ましくは約100 μ m以下、さらに好ましくは約85 μ m以下である。下限としては約40 μ m以上が好ましく、さらに好ましくは約60 μ m以上である。

【0057】

チップ分離しやすいように基板を研削および／または研磨すると基板の力が弱まって反りが増大する。従って、基板背面側を研削および／または研磨して半導体ウェーハの厚さを薄くするこの工程は、割溝を形成する工程の後が好ましい。しかし、割溝を基板背面に形成する場合は、割溝形成前に研削の方が精度よく研削できるので好ましい。従って、割溝を半導体ウェーハの半導体側および基板背面側の両方から設ける場合は、先ず半導体側から割溝を設けた後に研削および／または研磨を行ない、その後再び基板背面側から割

溝を設けることが好ましい。

【0058】

また、割溝を形成する際に割溝の深さを基板に達するように形成すると、半導体ウェーハ全体の反りを低減することが出来るようになるのでさらに好ましい。それは、反りの原因となる薄膜を割溝の位置で分断することになり、薄膜の基板に与える応力を割溝の位置で分断することになるのでウェーハを反らせる全体の応力が減少するからである。こうすると、この割溝形成工程の後で実施する基板背面の研削および／または研磨工程での半導体ウェーハの割れ不良を低減できるばかりでなく、基板背面全体を均一に加工できるようになり、厚さが均一な半導体ウェーハを得ることが出来る。

【0059】

半導体ウェーハの厚さが不均一だと、割溝が屈曲点を有するためにチップ分離時に相隣合うチップ同士が不規則に擦れ合ってチップ端面の欠け不良や傷不良が部分的に発生する原因となる。従って、基板を薄くする工程の前に入れる割溝は基板に達する深さにするのがより好ましい。

【0060】

基板背面の研削および研磨は、従来公知のどのような方法で行なってもよい。なかでも、ダイヤモンド等の砥粒を用いた研削および研磨が好ましい。

【0061】

個々のチップに分離する第四の工程は、第一～三の工程を実施することによって得られた半導体ウェーハにローラーなどで応力をかけることにより割溝から基板内部に亀裂を生じさせてことによって行なわれる。

【0062】

チップ形状が四角形であればノッチを使用したブレーカーによるチップ分離が可能であるが、五角形以上のチップ形状では半導体ウェーハの直線状の領域に応力を加えるノッチを使用すると欠け不良が多発する。同様に直線状に折り曲げ線が入るような分離方法も欠け不良の発生原因となる。そのため、チップ分離する半導体ウェーハは薄いほどよい。

【0063】

半導体ウェーハが厚い場合は、相隣合うチップ間の間隔が離れる方向に分離できる球形金型上に半導体ウェーハを載置してチップ分離する方法が好ましい。球形金型を用いる場合は半導体ウェーハの厚さが約 $90\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であって割溝深さが $15\mu\text{m}$ ～ $20\mu\text{m}$ 程度が好ましい。

【0064】

半導体ウェーハが薄い場合はローラーなどで応力をかけて基板に亀裂を入れることによりチップ分離できる。半導体ウェーハの厚さが $100\mu\text{m}$ 以下であって割溝深さが $15\mu\text{m}$ 以上のときはローラーなどで応力をかけることによりチップ分離が可能である。傷不良などの発生率を低減させる場合はさらにマージンをとる必要がある。

【0065】

半導体ウェーハがさらに薄くなるとノッチを使用したチップブレーカーでもチップ分離が可能になる。チップブレーカーのノッチ先端形状やノッチにかける応力などを最適化してローラーと同じように幅広い領域に均一に応力がかけられる様にするにより半導体ウェーハの厚さが $100\mu\text{m}$ 程度であってもチップブレーカーによるチップ分離が可能となる。

【0066】

この様にして得られた五角形以上の多角形チップは、従来の四角形チップよりもチップ端部での光取り出し効率が良い。基板側を銀ペーストやエポキシ系樹脂などでリードフレームや基板などに接着して正負両極にワイヤーボンディングして通電するフェイスアップ型チップにしてもよいし、ハンダなどの導電性物質を介して正負両極をリードフレームや基板などに接着して通電するフリップチップ型チップにしてもよい。チップを搭載したリードフレームを樹脂封止して青色あるいは緑色の高輝度ランプとして使用できるほか、蛍光体などの光エネルギー変換材料をチップ周辺に配置して高輝度白色ランプとして使用す

ることも出来る。この時、チップ端部から出てくる光を有効に利用するためにチップ中央付近より端部付近により多くの光エネルギー変換材料を配置することも有益である。さらに、リードフレームの形状やランプから出射する光の配光性などと絡めて各種の設計が可能である。

【実施例】

【0067】

以下、実施例により具体的に説明するが、本発明はこれらの実施例にのみ限定されるものではない。

【0068】

(実施例1)

チップ形状が正六角形のⅢⅢⅢ族窒化物半導体からなる青色発光素子を以下のとおり作製した。図4は本実施例で作製した発光素子の平面図であり、1はp電極、2はp電極ボンディングパッド、3はn型層露出面、および4はn電極である。

【0069】

直径が5.1cm(2インチ)で、厚さが420 μ mのサファイア基板の上にAlNからなるバッファ層を介してアンドープGaNからなる厚さ約4 μ mの下地層、Geドープ(濃度 $1 \times 10^{19}/\text{cm}^3$)GaNからなる厚さ約2 μ mのn側コンタクト層、Siドープ(濃度約 $1 \times 10^{18}/\text{cm}^3$)In_{0.1}Ga_{0.9}Nからなる厚さ約12.5nmのn側クラッド層、GaNからなる厚さ約16nmの障壁層とIn_{0.2}Ga_{0.8}Nからなる厚さ約2.5nmの井戸層を交互に5回積層させた後、最後に障壁層を設けた多重量子井戸構造の発光層、Mgドープ(濃度 $1 \times 10^{20}/\text{cm}^3$)Al_{0.07}Ga_{0.93}Nからなる厚さ約2.5nmのp側クラッド層およびMgドープ(濃度 $8 \times 10^{19}/\text{cm}^3$)Al_{0.02}Ga_{0.98}Nからなる厚さ約0.16 μ mのp側コンタクト層をMOCVD法により順次積層してⅢⅢⅢ族窒化物半導体積層構造を形成した。

【0070】

このⅢⅢⅢ族窒化物半導体積層構造のp側コンタクト層上の所定の位置にフォトリソグラフィ技術およびリフトオフ技術を用いて、p側コンタクト層側から順にPtおよびAuを積層した構造を持つ透光性のp電極を形成した。続いて、フォトリソグラフィ技術を用い、半導体側からAu/Ti/Al/Ti/Au層構造よりなるp電極ボンディングパッドを形成した。

【0071】

次に、フォトリソグラフィ技術および反応性イオンエッチング技術によりn側コンタクト層を露出するエッチングを行い、n電極形成面を半円状にエッチングして形成した。続いて、このn電極形成面にCr/Ti/Au三層構造のn電極を当業者周知の方法で形成した。

【0072】

この様にして得られたⅢⅢⅢ族窒化物半導体ウェーハを切断工程に流した。まず、レーザー加工時にⅢⅢⅢ族窒化物半導体層に切断時の汚れが付着しないようにするために前記ウェーハの半導体層側の表面に水溶性のレジストをスピンコーターで表面全体に均一に塗布し、乾燥させて厚さ約0.2 μ mの保護膜を形成した。

【0073】

次に前記ウェーハのサファイア基板側にUVテープを貼りつけた後、パルスレーザー加工機のステージ上に真空チャックで固定した。ステージはコンピューター制御でX軸(左右)およびY軸(前後)方向に移動することができ、回転可能な構造となっている。真空チャックに固定した後、レーザーの焦点が保護膜表面に結ばれるようにレーザー光学系を調整して、図1に示したようにレーザーを照射して最初に120度の角度を有する各辺の長さが同一の折れ線(A1)になるように半導体ウェーハを横切るようにレーザー光で照射して割溝を形成した。続いて、折れ線(A1)を平行移動した形の折れ線(A2)になるように割溝を形成し、これを繰返して半導体ウェーハの全面に折れ線状の割溝を形成した。続いて、図2に示したように折れ線の屈曲点一つおきに選択して、平行移動した折れ

線の隣接した屈曲点間を結ぶ直線 (B) になるように割溝を形成した。さらに先に選択しなかった屈曲点から、先の平行移動した折れ線とは反対側に平行移動した折れ線の隣接した屈曲点間を結ぶ直線 (C) になるように割溝を形成した。これにより半導体ウェーハ上に一辺 $300\mu\text{m}$ のハニカム状の六角形チップ形状を得る割溝を形成した。形成した割溝の深さ約 $30\mu\text{m}$ 幅約 $10\mu\text{m}$ であり、サファイア基板を露出した。このとき、割溝の断面形状は V 字状とした。割溝形成後、真空チャックを解放し、前記ウェーハをステージから剥ぎ取った。次に、前記ウェーハを洗浄機のステージに設置し、前記ウェーハを回転させつつ、半導体層側の表面にシャワー水を流すことによって、前記保護膜を除去した。

【0074】

次に、前記ウェーハのサファイア基板背面側を研削および研磨することで、厚さが約 $80\mu\text{m}$ となるように薄板化した。このウェーハをローラーにより応力をかけて分離することにより、正六角形のチップを約 7000 個得た。外形不良の無いものを取り出したところ、歩留まりは約 80% であった。

【0075】

得られたチップをリードフレーム上にサファイア基板を下にして載置し、接着剤で固着した。n 電極と第 1 のリードフレーム、p 電極ボンディングパッドと第 2 のリードフレームをそれぞれ金ワイヤーにより結線して、チップに素子駆動電流を流せるようにした。さらに全体を透明なエポキシ樹脂で封止し、LED ランプの形状に成型した。この LED ランプを積分球測定したところ、電流 20mA で $7.3 \sim 8.1\text{mW}$ の発光出力を示した。

【0076】

(実施例 2)

III 族窒化物半導体からなる青色発光素子を以下のとおり作製した。その平面形状は実施例 1 と同じである。

【0077】

直径 5.1cm (2 インチ) のサファイア基板上に AlN からなるバッファ層を介してアンドープ GaN からなる厚さ約 $4\mu\text{m}$ の下地層、Ge ドープ (濃度 $1 \times 10^{19}/\text{cm}^3$) GaN からなる厚さ約 $2\mu\text{m}$ の n 側コンタクト層、Ge ドープ (濃度約 $1 \times 10^{18}/\text{cm}^3$) $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ からなる厚さ約 12.5nm の n 側クラッド層、GaN からなる厚さ約 16nm の障壁層と $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ からなる厚さ約 2.5nm の井戸層を交互に 5 回積層させた後、最後に障壁層を設けた多重量子井戸構造の発光層、Mg ドープ (濃度 $1 \times 10^{20}/\text{cm}^3$) $\text{Al}_{0.07}\text{Ga}_{0.93}\text{N}$ からなる厚さ約 2.5nm の p 側クラッド層および Mg ドープ (濃度 $8 \times 10^{19}/\text{cm}^3$) $\text{Al}_{0.02}\text{Ga}_{0.98}\text{N}$ からなる厚さ約 $0.16\mu\text{m}$ の p 側コンタクト層を MOCVD 法により順次積層して III 族窒化物半導体積層構造を形成した。

【0078】

この III 族窒化物半導体積層構造の p 側コンタクト層上の所定の位置にフォトリソグラフィ技術およびリフトオフ技術を用いて、p 側コンタクト層側から順に Pt および Au を積層した構造を持つ透光性の p 電極を形成した。続いて、フォトリソグラフィ技術を用い、半導体側から Au/Ti/Al/Ti/Au 層構造よりなる p 電極ボンディングパッドを形成した。

【0079】

次に、フォトリソグラフィ技術および反応性イオンエッチング技術により n 型層を露出するエッチングを行い、n 電極形成面を半円状にエッチングして形成した。同時に、正六角形のチップ形状になるように一辺の長さが約 $300\mu\text{m}$ であって溝幅が約 $18\mu\text{m}$ の溝部を形成した。溝部は半導体ウェーハ全体に正六角形のハニカム状のパターンとなるように形成された。続いて、n 電極形成面周囲の活性層と p 型層が露出している部分に酸化ケイ素からなる絶縁膜を、さらに n 電極形成面に Cr/Ti/Au 三層構造の n 電極を当業者周知の方法で形成した。

【0080】

この様にして得られた III 族窒化物半導体ウェーハを切断工程に流した。まず、レー

ザー加工時に I I I 族窒化物半導体層に切断時の汚れが付着しないようにするために前記ウェーハの半導体層側の表面に水溶性のレジストをスピンコーターで表面全体に均一に塗布し、乾燥させて厚さ約 $0.2\ \mu\text{m}$ の保護膜を形成した。

【0081】

次に前記ウェーハのサファイア基板側に UV テープを貼りつけた後、パルスレーザー加工機のステージ上に真空チャックで固定した。ステージはコンピューター制御で X 軸（左右）および Y 軸（前後）方向に移動することができ、回転可能な構造となっている。真空チャックに固定した後、レーザーの焦点が保護膜表面に結ばれるようにレーザー光学系を調整して、前記溝部の底部にレーザー光を照射して割溝を形成する。割溝は、上記溝部上に図 1 に示したようにレーザーを照射して最初に 120° の角度を有する各辺の長さが同一の折れ線（A1）になるように半導体ウェーハを横切るようにレーザー光で照射して形成した。続いて、折れ線（A1）を平行移動した形の折れ線（A2）になるように割溝を形成し、これを繰返して半導体ウェーハの全面に折れ線状の割溝を形成した。続いて、図 2 に示したように折れ線の屈曲点一つおきに選択して、平行移動した折れ線の隣接した屈曲点間を結ぶ直線（B）になるように割溝を形成した。さらに先に選択しなかった屈曲点から、先の平行移動した折れ線とは反対側に平行移動した折れ線の隣接した屈曲点間を結ぶ直線（C）になるように割溝を形成した。これにより半導体ウェーハの上記溝部上に一辺 $300\ \mu\text{m}$ のハニカム状の六角形チップ形状を得る割溝を形成した。形成した割溝の深さ約 $25\ \mu\text{m}$ 幅約 $10\ \mu\text{m}$ であり、サファイア基板を露出した。このとき、割溝の断面形状は V 字状とした。割溝形成後、真空チャックを解放し、前記ウェーハをステージから剥ぎ取った。次に、前記ウェーハを洗浄機のステージに設置し、前記ウェーハを回転させつつ、半導体層側の表面にシャワー水を流すことによって、前記保護膜を除去した。

【0082】

次に、前記ウェーハのサファイア基板背面側を研削することで、厚さが約 $80\ \mu\text{m}$ となるように薄板化した。このウェーハをローラーにより応力をかけて分離することにより、図 4 に示した様な正六角形のチップを約 7000 個得た。外形不良の無いものを取り出したところ、歩留まりは約 80% であった。

【0083】

得られたチップを実施例 1 と同様に LED ランプに成型して評価したところ、電流 20 mA で $9.3 \sim 10\ \text{mW}$ の発光出力を示した。

【0084】

（実施例 3）

実施例 2 の半導体ウェーハを研削して厚さを約 $80\ \mu\text{m}$ にした後に、球形金型上に載置して上から押し付けることにより個々のチップに分離した。外形不良のないものを取り出したところ、歩留まりは約 85% であった。

【0085】

（実施例 4）

p 電極として p 側コンタクト層側から順に Pt および Rh を積層した構造を持つ光反射性の p 電極を形成したこと以外は、実施例 2 と同様にして正六角形のチップを約 7000 個得た。外形不良の無いものを取り出したところ、歩留まりは約 80% であった。

【0086】

得られたチップの n 電極と p 電極ボンディングパッドをあらかじめ電気回路を組み込んだるサブマウントの負極と正極にハンダを介してそれぞれ接続した。このサブマウントをさらにリードフレームに載置してチップに素子駆動電流を流せるようにした。さらに全体を透明なエポキシ樹脂で封止し、LED ランプの形状に成型した。この LED ランプを積分球測定したところ、電流 20 mA で $19 \sim 21\ \text{mW}$ の発光出力を示した。

【0087】

（実施例 5）

実施例 4 の半導体ウェーハを研削および研磨して厚さを約 $80\ \mu\text{m}$ にした後に、割溝形成位置に対応する基板研磨面側の位置にレーザー光を照射して深さ約 $15\ \mu\text{m}$ 幅約 $13\ \mu\text{m}$

mの第二の割溝を形成した。割溝形状はほぼV字型であった。このウェーハをローラーにより応力をかけて分離することにより、正六角形のチップを約7000個得た。外形不良の無いものを取り出したところ、歩留まりは約90%であった。

【0088】

得られたチップを実施例4と同様にLEDランプの形状に成型して評価したところ、電流20mAで20~23mWの発光出力を示した。

【0089】

(実施例6)

図2に示した直線(C)の割溝を形成した後、さらに図3に示した直線(D)の割溝を形成して、図5に示した五角形のチップが得られる割溝を形成したこと以外は実施例1と同様にして、五角形のチップを約14000個得た。外形不良のないものを取り出したところ、歩留まりは約80%であった。

【0090】

得られたチップを実施例1と同様にLEDランプの形状に成型して評価したところ、電流20mAで3.5~3.8mWの発光出力を示した。

【0091】

(実施例7)

割溝をチップ形状が半径275 μ mの円形になるように形成したほかは実施例1と同一の手順で発光素子を作製した。円と円との間に発光素子として使えない領域が出来るのでチップ化できる有効面積は正六角形の場合と比べて約80%になった。なお、電極形状は図6に示したように、n電極形成面をチップ中央部に形成し、その周囲にp電極を配置した。実施例1の手順に沿って円形のチップを約6000個得た。外形不良のないものを取り出したところ、歩留まりは約70%であった。

【0092】

得られたチップを実施例1と同様にLEDランプの形状に成型して評価したところ、電流20mAで8.1~8.3mWの発光出力を示した。

【産業上の利用可能性】

【0093】

本発明によって得られる化合物半導体発光素子は電流分布がよく、大型チップにも容易に対応でき、チップ側面における光取り出し効率が改善し、チップ実装時のチップ配置に自由度が高い形状であるので、特に照明産業への利用価値は極めて大きい。さらに、基板からチップを取り出す際の歩留まりも改善できるので低コスト大量供給が可能となる。

【図面の簡単な説明】

【0094】

【図1】六角形チップの割溝形成手順の一例を示す図である。

【図2】六角形チップの割溝形成手順の一例を示す別の図である。

【図3】五角形チップの割溝形成手順の一例を示す図である。

【図4】実施例1で作製した発光素子の平面図である。

【図5】実施例6で作製した発光素子の平面図である。

【図6】実施例7で作製した発光素子の平面図である。

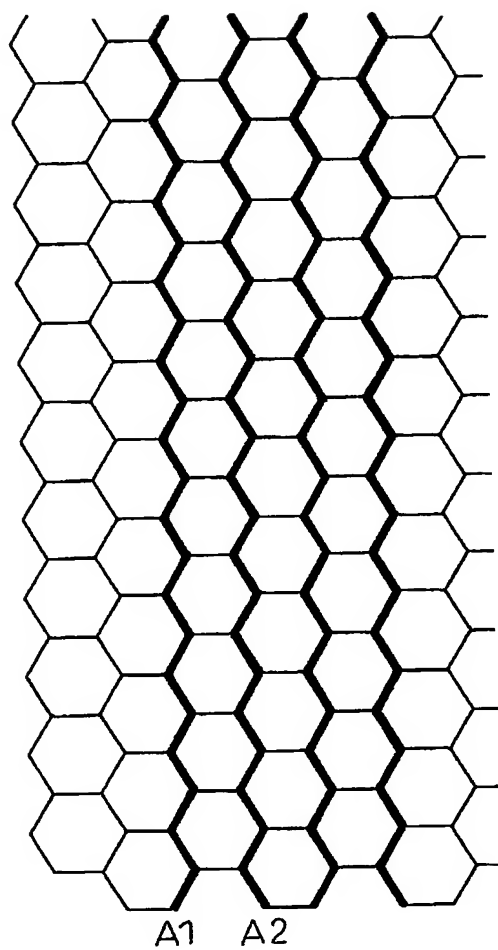
【符号の説明】

【0095】

- 1 p電極
- 2 p電極ボンディングパッド
- 3 n型層露出部
- 4 n電極

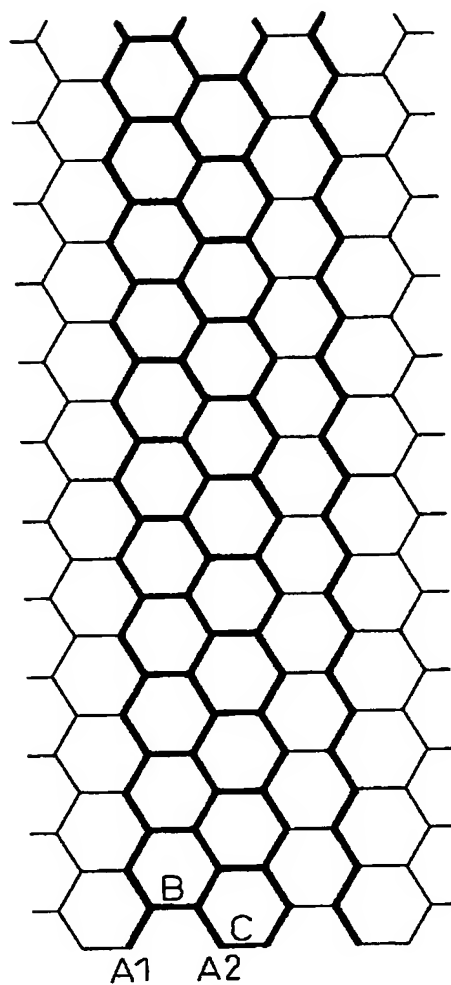
【書類名】 図面
【図 1】

図 1



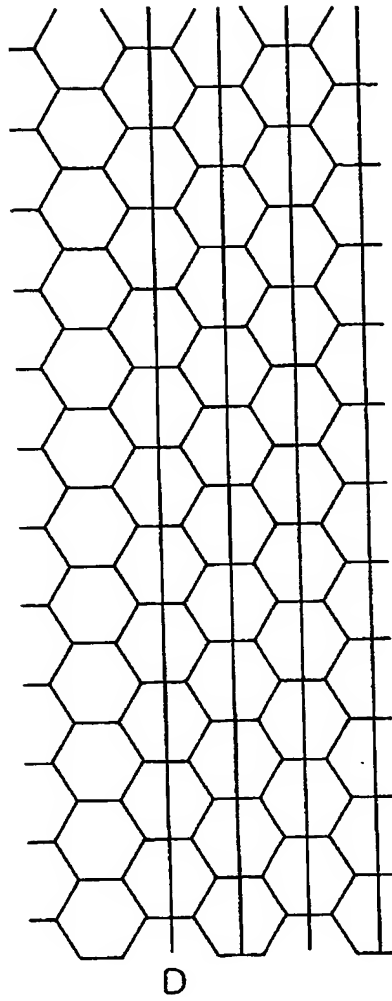
【図 2】

図 2



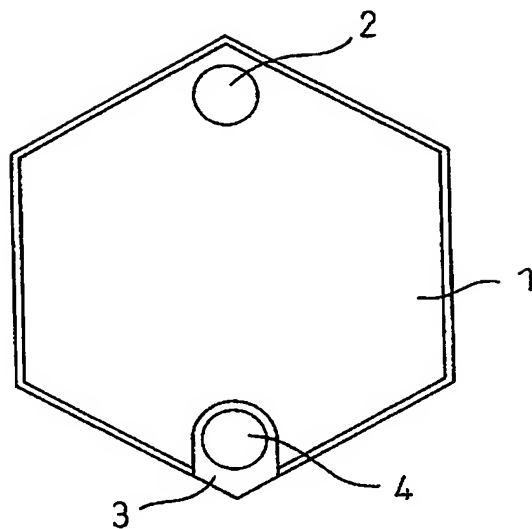
【図 3】

図 3



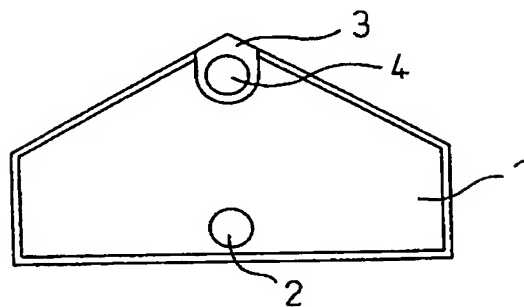
【図 4】

図 4



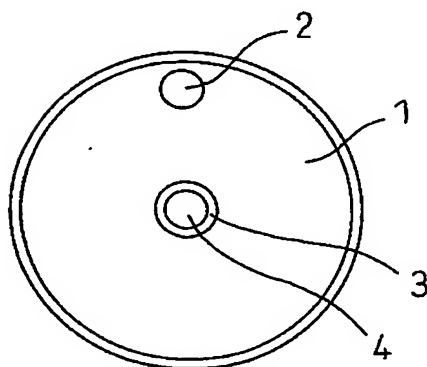
【図 5】

図 5



【図 6】

図 6



【書類名】要約書

【要約】

【課題】 チップ形状が五角形以上の多角形のⅢⅢⅢ族窒化物半導体素子を面積効率よく、低コストで製造する方法を提供すること。

【解決手段】 基板上にⅢⅢⅢ族窒化物半導体をエピタキシャル成長させて半導体ウェーハを形成する第一の工程と、該半導体ウェーハにレーザー光を照射して割溝を形成する第二の工程と、基板のエピタキシャル成長させた主面とは異なる主面側を研削および／または研磨する第三の工程と、該割溝に応力を加えることにより個々のチップに分離する第四の工程とを有することを特徴とするⅢⅢⅢ族窒化物半導体素子の製造方法。

【選択図】 なし

特願 2 0 0 4 - 2 9 4 9 3 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 0 0 4]

1. 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

東京都港区芝大門 1 丁目 1 3 番 9 号

氏 名

昭和電工株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/018731

International filing date: 05 October 2005 (05.10.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-294934
Filing date: 07 October 2004 (07.10.2004)

Date of receipt at the International Bureau: 28 October 2005 (28.10.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.